

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0011

Applicant: Hee Bok KANG Confirmation No.: Unassigned
Appl. No.: Unassigned Examiner: Unassigned
Filing Date: June 30, 2003 Art Unit: Unassigned
Title: Layout of Ferroelectric Memory Device

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0069180 filed November 8, 2002

Respectfully submitted,

Date: June 30, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2196
Facsimile: (202) 912-2020

By Johnny A. Kumar
Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633
PATENT TRADEMARK OFFICE



26633

PATENT TRADEMARK OFFICE

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

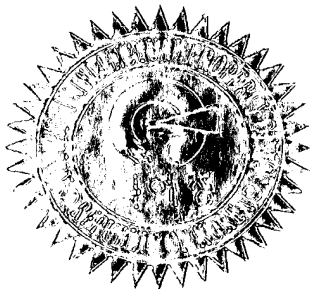
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0069180
Application Number

출원년월일 : 2002년 11월 08일
Date of Application NOV 08, 2002

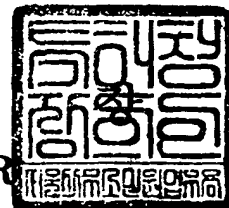
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 21 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.08
【국제특허분류】	H01L
【발명의 명칭】	강유전체 메모리 장치
【발명의 영문명칭】	Ferroelectric memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	42	면	42,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	35	항	1,229,000	원
---------	----	---	-----------	---

【합계】	1,300,000	원		
------	-----------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

본 발명에 의한 강유전체 메모리 장치는 칼럼 선택 제어부와 연결된 메인 비트라인, 및 각각 양단에서 상기 메인 비트라인과 연결되며 복수개의 단위 셀이 연결된 복수개의 서브 비트라인으로 비트라인이 계층화된 셀 어레이 블록, 상기 칼럼 선택 제어부와 연결되는 데이터버스부, 및 상기 데이터버스부에 연결된 센스앰프 데이터버스와 데이터 입출력 버퍼의 사이에 연결된 센스앰프 어레이를 포함하는 제어회로부를 포함하고 상기 복수개의 셀 어레이 블록은 매트릭스 형태로 배치되며, 상기 제어회로부는 상기 메인 비트라인에 평행한 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 데이터버스부는 상기 메인 비트라인에 수직인 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되는 것을 특징으로 한다.

본 발명에 의한 레이아웃을 사용함으로써 고집적 회로에서 데이터버스의 용량부하를 최소로 하여 고속의 FRAM을 구현할 수 있다.

【대표도】

도 4

【명세서】

【발명의 명칭】

강유전체 메모리 장치{Ferroelectric memory device}

【도면의 간단한 설명】

도1은 히스테리시스 곡선.

도2는 FRAM 셀 소자 구성도.

도3은 종래기술에 의한 FRAM의 리드 및 라이트 동작 타이밍도.

도4는 본 발명에 의한 FRAM에 포함된 각 구성블록들의 배치도.

도5는 본 발명에 의한 FRAM의 제어회로부와 셀 어레이 블록의 구성도.

도6은 본 발명에 의한 FRAM의 제어회로부에 포함된 센스앰프 어레이부와 센스앰프 데이터버스부의 배치도.

도7은 본 발명의 제1 실시예에서 센스앰프 어레이부와 데이터버스부의 연결부를 나타내는 도면.

도8은 본 발명의 제2 실시예에서 센스앰프 어레이부와 데이터버스부의 연결부를 나타내는 도면.

도9는 본 발명의 제3 실시예에서 센스앰프 어레이부와 데이터버스부의 연결부를 나타내는 도면.

도10은 본 발명에 의한 센스앰프를 제어하는 글로벌 컨트롤러와 로컬 컨트롤러의 배치도.

도11은 본 발명의 일실시예에 의한 센스앰프의 회로도.

도12 및 도13은 본 발명의 일실시예에 의한 센스앰프의 동작 타이밍도.

도14는 본 발명의 일실시예에 의한 셀 어레이 블록의 구성도.

도15는 본 발명의 일실시예에 의한 셀 어레이 블록에 포함된 메인 비트라인 풀업 제어부.

도16은 본 발명의 실시예에 의한 셀 어레이 블록에 포함된 칼럼 선택 제어부.

도17은 본 발명의 일실시예에 의한 셀 어레이 블록에 포함된 메인 비트라인 부하 제어부와 서브 셀 블록의 회로도.

도18은 본 발명에 의한 FRAM의 리드 라이트 동작시의 타이밍도.

도19는 본 발명에 의한 데이터버스부와 칼럼 선택 제어부의 연결부의 레이아웃.

도20은 본 발명에 의한 FRAM의 셀 어레이 블록에 VPP를 공급하는 VPP 공급 회로의 배치도.

도21은 본 발명의 일실시예에 의한 VPP 구동회로의 구성도.

도22는 본 발명의 일실시예에 의한 VPP 구동회로의 동작 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 강유전체 메모리 장치에 관한 것으로서, 특히 칩의 집적도를 향상시키고 신호의 지연요소를 최적화하기 위하여 셀 어레이 및 주변 제어 회로들을 효율적으로 배치하기 위한 것이다.

- <23> 일반적으로 강유전체 메모리 즉, FRAM(Ferroelectric Random Access Memory)은 DRAM(Dynamic Random Access Memory) 정도의 데이터처리 속도를 갖고 전원의 오프(Off) 시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.
- <24> FRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는 것이다.
- <25> 도1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 것이다. 도1에서와 같이 전계에 의해 유기된 분극은 전계를 제거하더라도 잔류 분극(또는 자화 분극)의 존재로 인하여 소멸되지 않고 일정량(d, a 상태)을 유지하고 있는 것을 알 수 있다. 강유전체 메모리 셀은 d, a 상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.
- <26> 도2는 강유전체 메모리의 단위 셀을 나타낸 것이다. 도2에 도시된 바와 같이 일 방향으로 비트라인(BL)이 형성되고, 비트라인과 교차하는 방향으로 워드라인(WL)이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(PL)이 형성되고, 게이트는 워드라인에 연결되고 소스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고 두 단자 중 제1 단자가 트랜지스터(T1)의 드레인에 연결되고 제2 단자는 플레이트 라인에 연결되도록 강유전체 캐패시터(FC1)가 형성된다.
- <27> 이와 같은 강유전체 메모리 소자의 데이터 입출력 동작은 다음과 같다. 도3a는 강유전체 메모리 소자의 라이트 모드(Write Mode)의 동작을 나타내는 타이밍도이고, 도3b는 리드 모드(Read Mode)의 동작을 나타내는 타이밍도이다.

- <28> 도3a에 도시된 라이트 모드 동작을 설명하면, 외부에서 인가되는 칩 인에이블 신호(CSBpad)가 하이(High)에서 로우(Low)로 활성화되고, 동시에 라이트 인에이블 신호(WEBpad)를 하이에서 로우로 인가하면 라이트 모드가 시작된다. 이어 라이트 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 "로우"에서 "하이"로 천이되어 셀이 선택된다.
- <29> 선택된 셀에 로직값 "1"을 쓰기 위해서는 비트라인에 "하이" 신호를 인가하고 플레이트 라인에는 "로우" 신호를 인가하고, 셀에 로직값 "0"을 쓰기 위해서는 비트라인에 "로우" 신호를 인가하며 플레이트 라인에는 "하이" 신호를 인가한다.
- <30> 다음에는 도3b에 도시된 리드 모드 동작을 설명한다. 외부에서 칩 인에이블 신호(CSBpad)를 "하이"에서 "로우"로 활성화 시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이즈 신호에 의해 "로우" 전압으로 등전위가 된다.
- <31> 그리고 각 비트라인을 비활성화 시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 "로우" 신호가 "하이"신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 "하이" 신호를 인가하여 강유전체 메모리에 저장된 로직값 "1"에 상응하는 데이터(Qs)를 파괴한다. 만약 강유전체 메모리에 로직값 "0"이 저장되어 있다면 그에 상응하는 데이터(Qns)는 파괴되지 않는다.
- <32> 이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 "1" 또는 "0"을 감지하게 된다. 즉 데이터가 파괴된 경우는 도1의 히스테리시스 루프에서처럼 d에서 f로 변경된 경우에 해당하고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 것에 해당한다.

<33> 따라서, 일정시간이 경과한 후에 센스앰프가 인에이블 되면 데이터가 파괴된 경우는 증폭되어 로직값 "1"을 출력하고, 데이터가 파괴되지 않은 경우에는 증폭되어 로직값 "0"을 출력한다. 이와 같이, 센스 앰프에서 데이터를 증폭한 후에는 원래의 데이터를 복원하여야 하므로 해당 워드라인에 "하이" 신호를 인가한 상태에서 플레이트 라인을 "하이"에서 "로우"로 비활성화시킨다.

【발명이 이루고자 하는 기술적 과제】

<34> 고집적 고속의 FRAM을 구현하기 위해서는 셀 어레이 및 기타 주변회로들을 효율적으로 배치할 필요가 있다.

<35> 본 발명에서는 패드 어레이, 센스 앰프 어레이, 어드레스 버퍼 등의 주변 회로들을 셀 어레이 블록의 대칭선상에 배치하고 이와 직각 방향으로 셀 어레이 블록의 대칭선상에 데이터버스부를 배치하여 레이아웃의 효율을 극대화하고 고집적회로에서 데이터버스의 용량부하를 최소로 하여 셀 센싱 데이터의 센스앰프로의 전달 시간을 줄여 고속의 FRAM을 구현하고자 한다.

<36> 또한 본 발명에서는 칼럼 선택 신호를 이용하여 리드 라이트 동작에서 센스앰프의 동작을 제어함으로써 리스토어(restore) 및 데이터 라이트 동작이 효율적으로 이루어지도록 한다.

<37> 본 발명에서는 셀 동작에 관련된 VPP 관련 회로를 작은 용량의 게이트 제어관련 VPP 회로와 큰 용량의 VPP 펌프회로로 나누고 이들을 효율적으로 배치하여 각 셀 어레이 블록마다 VPP가 고속으로 공급될 수 있도록 한다.

<38> 본 발명에서는 공정 마진 및 신호 전달 효율을 증가시키고 필요한 면적이 최소가 되도록 하는 데이터버스부와 셀 어레이 블록의 연결부에 대한 레이아웃을 제공한다.

【발명의 구성 및 작용】

<39> 본 발명에 의한 강유전체 메모리 장치는 칼럼 선택 제어부와 연결된 메인 비트라인, 및 각각 양단에서 상기 메인 비트라인과 연결되며 복수개의 단위 셀이 연결된 복수개의 서브 비트라인으로 비트라인이 계층화된 셀 어레이 블록, 상기 칼럼 선택 제어부와 연결되는 데이터버스부, 및 상기 데이터버스부에 연결된 센스앰프 데이터버스와 데이터 입출력 버퍼의 사이에 연결된 센스앰프 어레이를 포함하는 제어회로부를 포함하고 상기 복수개의 셀 어레이 블록은 매트릭스 형태로 배치되며, 상기 제어회로부는 상기 메인 비트라인에 평행한 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 데이터버스부는 상기 메인 비트라인에 수직인 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되는 것을 특징으로 한다.

<40> 이하에서는 첨부한 도면을 참고로 본 발명의 실시예에 대하여 자세히 설명한다.

<41> 도4는 본 발명에 의한 FRAM에 포함된 각 구성요소들의 배치도이다. 하나의 칩상에는 네 개의 셀 어레이 블록(300)이 2x2 매트릭스 형태로 배치된다. 제1열과 제2열 사이에는 어드레스 입력 패드, 버퍼, 디코더, 센스앰프 어레이 등을 포함하는 제어회로부(100)가 배치된다. 제1행과 제2행 사이에는 데이터버스부(200)가 배치된다. 셀 어레이 블록(300)의 비트라인(도시되지 않음)과 데이터버스부(200)에 포함된 데이터버스 라인은 칼럼 선택 제어부(310)를 통해 연결된다.

<42> 도5는 본 발명에 의한 FRAM에 포함된 제어회로부(100)의 상세 구성도를 나타낸다.

- <43> 제어회로부에는 복수개의 센스앰프를 포함하는 센스앰프 어레이(110), 칼럼 어드레스가 입력되는 칼럼 어드레스 패드(122), 칼럼 어드레스를 저장하는 칼럼 어드레스 버퍼(121), 칼럼 어드레스를 디코딩하는 칼럼 어드레스 디코더(120), 로우 어드레스가 입력되는 로우 어드레스 패드(112), 로우 어드레스를 저장하는 로우 어드레스 버퍼(131), 로우 어드레스를 디코딩하는 로우 어드레스 디코더(130), 데이터가 입출력되는 I/O 패드(141), 입출력 데이터를 저장하는 데이터 입출력 버퍼(140), 및 칩의 동작을 제어하는 칩 제어부(150)를 포함한다.
- <44> 로우 어드레스 디코더(130)의 출력신호는 워드라인 및 플레이트 라인 구동부(320)를 제어하여 리드 라이트 동작에서 워드라인 및 플레이트 라인에 구동 전압을 제공한다.
- <45> 도6은 본 발명에 의한 제어회로부(100)에 포함된 센스앰프 어레이(110)와 상기 센스앰프 어레이(110)와 데이터버스부(200)를 연결하는 센스앰프 데이터버스(160)를 나타낸다. 센스앰프 어레이(110)에 포함된 각각의 센스앰프는 데이터버스부(200)를 공유한다.
- <46> 센스앰프 어레이(110)와 데이터버스부(200)가 연결되는 방식에는 여러 가지가 있으며 이에 대해서는 아래에서 상세히 설명한다.
- <47> 도7은 본 발명의 제1 실시예에서 센스앰프 어레이(110)와 데이터버스부(200)의 연결부를 나타내는 도면이다. 센스앰프 어레이(110)에 포함된 각각의 센스앰프(111)는 센스앰프 데이터버스(160)에 포함된 센스앰프 데이터버스 라인(161)과 연결된다. 상기 데이터버스 라인(161)은 데이터버스부(200)에 포함된 데이터버스 라인(210)과 직접 연결된다.

- <48> 도8a는 본 발명의 제2 실시예에서 센스앰프 어레이(110)와 데이터버스부(200)의 연결부를 나타내는 도면이다. 데이터버스부(200)의 중간 부분에는 두 개의 스위치(SW1, SW2)가 간격을 두어 배치된다. 각 센스앰프(111)에 대응하는 센스앰프 데이터버스 라인(161)은 위 두 스위치(SW1, SW2)사이에서 대응하는 데이터버스 라인(210)과 직접 연결된다. 두 스위치(SW1, SW2)는 서로 상보적으로 작동하여 센스앰프(111)는 데이터버스부(200)의 오른쪽 또는 왼쪽과만 연결된다.
- <49> 도8b는 본 발명의 제2 실시예에서 연결 부분을 확대하여 도시한 것이다.
- <50> 도9는 본 발명의 제3 실시예에서 센스앰프 어레이부와 데이터버스부의 연결부를 나타내는 도면이다. 본 실시예는 제2 실시예와는 달리 데이터버스부(200)가 좌측의 제1 데이터버스부와 우측의 제2 데이터버스부로 나뉜다. 센스앰프 데이터버스도 제1 데이터버스부와 연결되는 제1 센스앰프 데이터버스와 제2 데이터버스부와 연결되는 제2 센스앰프 데이터버스로 나뉜다.
- <51> 제1 센스앰프 데이터버스에 포함된 데이터버스 라인(162)은 제1 데이터버스부에 포함된 제1 데이터버스 라인(210-L)과 직접 연결되고, 제2 센스앰프 데이터버스에 포함된 데이터버스 라인(163)은 제2 데이터버스부에 포함된 제2 데이터버스 라인(210-R)과 직접 연결된다.
- <52> 도9b는 본 발명의 제3 실시예에서 연결 부분을 확대하여 도시한 것이다. 제1 센스앰프 데이터버스에 포함된 각각의 데이터버스 라인(162)에는 제1 스위치(SW1)가 연결되고, 제2 센스앰프 데이터버스에 포함된 각각의 데이터버스 라인(163)에는 제2 스위치(SW2)가 연결된다. 상기 두 스위치(SW1, SW2)는 센스앰프(111)의 동일한 포트에 연결된다. 센스앰프(111)의 구조에 대해서는 뒤에서 자세히 설명하기로 한다.

- <53> 두 스위치(SW1, SW2)는 서로 상보적으로 작동하여 센스앰프(111)는 제1 센스앰프 데이터버스 라인(162) 또는 제2 센스앰프 데이터버스 라인(163)과만 연결된다.
- <54> 도10은 본 발명에 의한 센스앰프 어레이의 구조를 나타낸다. 센스앰프 어레이는 복수개의 센스앰프(111)를 포함하는 서브 센스앰프 어레이를 복수개 포함한다. 센스앰프(111)에 제공되는 제어신호는 글로벌 컨트롤러(170) 및 로컬 컨트롤러(180)에서 만들어진다. 글로벌 컨트롤러(170)는 센스앰프 어레이에 포함된 모든 센스앰프(111)에 공통된 제어신호를 제공한다. 로컬 컨트롤러(180)는 서브 센스앰프 어레이마다 하나씩 제공되어 상기 서브 센스앰프 어레이에 포함된 복수의 센스앰프(111)에만 공통된 제어신호를 제공한다. 로컬 컨트롤러(180)는 칼럼 어드레스 비트($Y_{i<n>}$)에 의해 제어된다. 그러나 글로벌 컨트롤러(170)는 칼럼 어드레스 비트와는 관계없이 제어신호를 발생시킨다.
- <55> 칼럼 어드레스 비트에 의해 선택된 센스앰프(111)들은 리드 또는 라이트 모드를 수행한다. 리드 모드에서는 리스토어(restore) 모드가 반드시 수반되어야 하므로 칼럼 어드레스 비트에 의해 선택된 센스앰프(111)는 리스토어 또는 라이트 동작을 수행한다. 그러나 칼럼 어드레스 비트에 의해 선택되지 않은 센스앰프(111)들은 리드 모드를 수행해야 하므로 리스토어 동작만 수행한다.
- <56> 따라서 상기 글로벌 컨트롤러는 리드 및 라이트 모드에서 공통적으로 작동하는 신호를 발생시키고, 로컬 컨트롤러는 선택된 센스앰프(111)에 대해서는 리드 및 라이트 모드를 수행하도록 하는 제어신호를 발생시키고 선택되지 않은 센스앰프(111)에 대해서는 기본적인 리드 모드만 수행하도록 하는 제어신호를 발생시킨다.
- <57> 센스앰프(111)의 구체적인 동작 및 관련된 제어신호에 대해서는 아래에서 상세히 설명한다.

- <58> 도11a는 본 발명에 의한 센스앰프(111)의 회로도이다. 본 발명에 의한 센스앰프(111)는 데이터 라인 풀업 제어부(400), 증폭부(500), 및 입출력제어부(600)로 구성된다.
- <59> 데이터 라인 풀업 제어부(400)는 제어신호(DBPU_C)에 의하여 데이터 라인의 전압을 VCC로 풀업한다. 데이터 라인은 센스앰프 데이터버스 라인과 연결된다.
- <60> 증폭부(500)는 데이터 라인의 신호와 레퍼런스 라인의 신호를 비교하여 데이터 라인의 신호가 레퍼런스 라인의 신호보다 큰 경우 하이레벨의 출력을 갖는 제1 비교부(510), 제1 비교부(510)와 반대 레벨의 출력을 갖는 제2 비교부(530), 제1 비교부(510)의 출력부와 제2 비교부(530)의 출력부의 전압을 동일하게 만드는 이퀄라이저(520), 및 제1 비교부(510) 및 제2 비교부(530)와 각각 스위치(550, 560)를 통하여 연결된 두 입력 단자를 갖는 저장부(540)로 구성된다.
- <61> 입출력제어부(600)는 데이터 입출력 버퍼(도시되지 않음)로부터 입력된 데이터를 저장부(540)로 전달하는 제1 경로(610), 저장부(540)에 저장된 데이터를 출력하는 제2 경로(620), 제2 경로(620)의 출력을 데이터 입출력 버퍼로 전달하는 제3 경로(630), 및 제2 경로(620)의 출력을 데이터 라인에 전달하는 제4 경로(640)를 포함한다.
- <62> 저장부(540)는 리드모드에서 제1 비교기(510) 및 제2 비교기(530)의 출력을 저장하여 리드 동작이 종료된 후 리스��어 동작을 수행하도록 한다. 라이트 모드에서는 제1 경로(610)에서 전달된 데이터를 저장하였다가 제2 경로(620) 및 제4 경로(640) 데이터 라인에 전달하여 메모리 셀에 데이터를 쓸 수 있도록 한다. 리스��어 동작과 라이트 동작은 유사하게 수행된다.

- <63> 도11b는 본 발명의 또 다른 실시예에 의한 센스앰프(111)의 회로도이다. 도11a에서 설명한 센스앰프와 주요 기능은 모두 동일하다. 다만 도11a의 이퀄라이저(520) 부분 대신에 PMOS 트랜지스터(521)를 사용하는 점에 차이가 있다. PMOS 트랜지스터(521)의 게이트에는 데이터 라인 풀업 제어부(400)의 제어신호와 동일한 제어 신호가 인가되고, 소스는 VCC에 연결되며, 드레인은 제1 비교부(510)의 출력단자에 연결된다.
- <64> 도12 및 도13은 본 발명에 의한 센스앰프의 동작 타이밍도이다. 도12는 칼럼 어드레스 비트가 활성화 된 경우 라이트 모드의 타이밍도이고, 도13은 칼럼 어드레스 비트가 비활성화 된 경우 라이트 모드의 타이밍도이다.
- <65> 도12에서 라이트 인에이블 신호(WEB)가 활성화되면, WSN이 하이가 되어 제1 경로(610)가 활성화되고 WSN이 로우가 되어 제2 경로(620)가 비활성화된단(t0). 이어서 SEN1, STGN, SEN2가 활성화되어 데이터 라인의 신호가 저장부(540)에 저장된다(t2). 칼럼 어드레스 비트($Yi<n>$)가 활성화 되면, SEN2 및 스위치(550, 560)가 비활성화 되어 입출력 버퍼에 입력된 데이터가 저장부(540)에 저장된다(t3). WSN이 하이가 되어 제2 경로가 활성화되면(t5) 저장부(540)에 저장된 데이터가 이미 활성화된(t4) 제4 경로(640)를 통하여 데이터 라인에 제공된다.
- <66> 도13에서는 라이트 인에이블 신호(WEB)가 활성화되더라도 WSN은 로우로 유지되어 제1 경로(610)가 비활성화되고, WSN은 하이로 유지되어 제2 경로가 활성화된다. SEN1, SEN2, 및 STGN이 활성화되면 데이터 라인의 값을 읽어서 저장부(540)에 저장한다(t2). 마지막으로 LSN을 활성화하여 제4 경로를 활성화하고(t4) 저장부에 저장된 값이 데이터 라인에 제공되도록 한다. 즉 칼럼 어드레스 비트($Yi<n>$)가 활성화되지 않았을 때는 리스토어 동작만이 수행된다.

- <67> 전술한 바와 같이 칼럼 어드레스 비트가 선택된 경우와 선택되지 않은 경우에 동일하게 동작하는 신호는 글로벌 컨트롤러(170)에서 발생하고, 동일하게 동작하지 않는 신호는 로컬 컨트롤러(180)에서 발생한다. 도12 및 도13을 참조하면 글로벌 컨트롤러(170)에서 발생하는 제어신호는 SEN1, SEN2, LSN, LSP, STGN, STGP, SEQN, 및 SEQP이고 로컬 컨트롤러(180)에서 발생하는 신호는 RSN, RSP, WSN, WSP, WHSN, 및 WHSP이다.
- <68> 도14는 본 발명에 의한 셀 어레이 블록에 포함된 복수개의 단위 블록 중 하나의 개략적인 구조를 나타낸다.
- <69> 각 단위 블록은 메인 비트라인 풀업 제어부(330), 셀 어레이, 및 칼럼 선택 제어부(310)로 구성된다. 셀 어레이는 메인 비트라인 풀업 제어부(330)와 칼럼 선택 제어부(310) 사이에 직렬로 연결된 복수개의 서브 셀 블록(350)과 메인 비트라인 부하 제어부(340)를 포함한다.
- <70> 도15는 본 발명에 의한 셀 어레이 블록에 포함된 메인 비트라인 풀업 제어부(330)를 나타낸다.
- <71> 메인 비트라인 풀업 제어부(330)는 게이트에 제어신호(MBPUC)가 연결되고 소스에 Vpp 또는 Vcc가 연결되며 드레인이 메인 비트라인(360)과 연결되는 PMOS 트랜지스터로 구성된다. 메인 비트라인 풀업 제어부(330)는 "프리차지"시에 메인 비트라인을 "하이" 레벨로 풀업시키는 역할을 한다.
- <72> 도16은 본 발명에 의한 셀 어레이 블록에 포함된 칼럼 선택 제어부(310)를 나타낸다. 칼럼 선택 제어부(310)는 제어신호(CSN, CSP)에 의하여 메인 비트라인과 데이터버스 라인을 연결하는 트랜스미션게이트로 구성된다.

- <73> 도17은 본 발명에 의한 셀 어레이 블록에 포함된 메인 비트라인 부하 제어부(340) 및 서브 셀 블록(350)의 회로도이다. 편의상 서브 셀 블록(350)은 하나만 도시하였다. 메인 비트라인 부하 제어부(340)는 게이트에 제어신호(MBLC)가 연결되고 소스는 Vpp 또는 Vcc와 연결되며 드레인이 메인 비트라인(360)과 연결되는 PMOS 트랜지스터로 구성된다.
- <74> 제어신호(MBLC)가 활성화 된 경우 메인 비트라인 부하 제어부(340)는 메인 비트라인(360)의 부하 역할을 수행한다. 메인 비트라인(360)의 감지 전압은 메인 비트라인(360) 부하 저항과 전류 레벨에 의하여 결정된다. 전류 레벨은 트랜지스터(N1)에 의하여 결정된다. 메인 비트라인 부하 제어부(340)는 메인 비트라인에 하나씩 부착될 수 있다. 그러나 구동 부하가 큰 경우에는 복수개의 서브 셀 블록(350)마다 하나씩 균등하게 배치하여 각각의 메인 비트라인 부하 제어부(340)가 담당하는 구동 부하를 줄일 수 있다.
- <75> 하나의 서브 셀 블록(350)은 각각 워드라인(WL<m>) 및 플레이트 라인(PL<m>)에 연결된 복수 개의 단위 메모리 셀에 공통으로 연결된 서브 비트라인(351), 게이트에 서브 비트라인(351)의 제1단이 연결되고 드레인이 메인 비트라인(360)에 연결된 전류 조절용 NMOS 트랜지스터(N1), 게이트에 제어신호(MBSW)가 연결되고 드레인이 전류 조절용 NMOS 트랜지스터(N1)의 소스에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터(N2), 게이트에 제어신호(SBPD)가 연결되고 드레인이 서브 비트라인(351)의 제2단에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터(N3), 게이트에 제어신호(SBSW2)가 연결되고 소스가 서브 비트라인(SBL)의 제2단에 연결되고 드레인이 제어신호(SBPU)에 연결되는 NMOS 트랜지스터(N4); 및 게이트에 제어신호(SBSW1)가 연결되고 드레인이 메인 비트라인(360)에 연

결되고 소스가 서브 비트라인(351)의 제2단에 연결되는 NMOS 트랜지스터(N5)로 구성된다.

- <76> 메인 비트라인(360)에 포함된 복수개의 서브 비트라인(351) 중에 한 번에 한 개만 활성화시킴으로써 메인 비트라인의 부하를 하나의 서브 비트라인(351)의 부하 수준으로 줄일 수 있다. 서브 비트라인(351)의 선택은 SBSW1에 의해 수행된다.
- <77> 서브 비트라인(351)은 풀 다운 NMOS 트랜지스터(N3)의 조정 신호인 SBPD 신호가 활성화 되면 서브 비트라인(351)의 전위를 그라운드 레벨로 조정한다.
- <78> SBPU 신호는 서브 비트라인(351)에 공급할 전원 전압을 조정하는 신호이다. 저 전압에서 "하이" 전압이 필요한 경우 Vcc 전압보다 높은 전압을 생성하여 공급한다.
- <79> SBSW1, SBSW2는 SBPU와 서브 비트라인(351) 사이의 신호 흐름을 조정하는 제어 신호이다. 서브 비트라인(351)에는 복수개의 단위 셀들이 연결되어 있다.
- <80> 서브 비트라인(351)은 NMOS 트랜지스터(N1)의 게이트에 연결되어 메인 비트라인(360)의 센싱 전압을 조절하게 되어 있다. NMOS 트랜지스터(N1)의 소스 단자는 공통으로 연결되어 MBSW의 조정을 받는다.
- <81> 도18a는 본 발명에 의한 FRAM의 라이트 동작시의 타이밍도이다.
- <82> t2, t3 구간은 감지 구간이고, t4 구간은 셀프 부스팅을 위한 준비기간이다. t5 구간은 "하이" 레벨을 쓰는 구간이고, t6 구간은 "로우" 레벨을 쓰는 구간이다.
- <83> 셀에 기록된 신호의 레벨을 감지하는 원리는 다음과 같다. 셀의 데이터가 "하이"이면 서브 비트라인(351)의 전압도 "하이" 레벨이 되므로 NMOS 트랜지스터(N1)에 흐르는 전류가 커져서 레퍼런스 레벨보다 메인 비트라인(360) 전압이 낮게된다. 따라서 반대로

셀의 데이터가 "로우"이면 서브 비트라인(351)의 전압도 낮은 레벨이 되므로 NMOS 트랜지스터(N1)에 흐르는 전류가 작아져 레퍼런스 레벨보다 메인 비트라인(360)의 전압이 높게 된다. 이리하여 셀에 저장된 데이터를 감지할 수 있다.

<84> t4 구간은 셀프 부스팅을 위한 준비 기간이다. SBPU가 "로우"로 유지되는 상태에서 SBSW2를 "하이"로 만들면 트랜지스터(N4)의 게이트와 소스 또는 드레인 사이 기생 캐패시터에 전하가 충전된다. 이때 t5 구간에서 SBPU를 "하이"로 하면 상기 충전된 전하에 의한 추가적인 전위차만큼 SBSW2, 서브 비트라인(351), 및 워드라인(WL<i></i>)의 전위가 부스팅된다. t5 구간에서는 셀에 "1"이 자동적으로 저장된다.

<85> 만일 입출력 버퍼를 통해 메인 비트라인(360)에 제공된 값이 "0"이라면 SBSW1을 활성화하고 SBSW2를 비활성화한 후, 플레이트 라인(PL<i></i>)의 전위를 하이로 하면 서브 비트라인(351)의 전위도 "0"이 되므로 셀에 저장되어 있던 전하가 서브 비트라인으로 이동하면서 셀에 "0"이 기록된다(구간 t6).

<86> 도18b는 읽기 동작을 나타내는 타이밍도이다.

<87> t2, t3 구간은 감지 구간이며 t5 구간은 "1" 레벨을 쓰는 구간이다. t6 구간은 "0" 레벨을 복구하는 구간이다.

<88> t2 내지 t4 구간의 동작은 도18a에 대한 설명과 동일하다. 다만 리드 동작 후에는 리스토어 동작이 수행되어야 하는데 t5, t6 구간이 리스토어를 수행한다. 그런데 t5 구간에서는 원래 저장되어 있던 값이 "1"인지 "0"인지에 관계없이 "1"을 리스토어 한다. "0"은 t6 구간에서 리스토어된다. 리스토어 동작은 쓰기 동작과 동일하므로 설명을 생략한다.

- <89> 도19는 본 발명에 의한 데이터버스부와 칼럼 선택 제어부의 연결부의 레이아웃을 나타내는 도면이다. 연결부는 제1 내지 제3 계층으로 구성된다. 제1 계층에는 소스와 드레인이 공통인 두 개의 NMOS 트랜지스터로 구성된다. 소스에는 메인 비트라인(360)이 연결되고 드레인에는 제1 공유 레이어(370)와 연결된다. 제2 계층에는 제1 공유 레이어(370)와 데이터버스 라인(210)을 연결하는 제2 공유 레이어(380)가 존재한다. 제3 계층에는 데이터버스 라인(210)이 존재한다.
- <90> 위와 같이 제2 공유 레이어(380)를 사용함으로써 제1 공유 레이어(370)의 면적을 최소화 할 수 있다. 따라서 제1 공유 레이어(370)의 면적이 증가함으로 인한 전체 칩 레이아웃 면적의 증가를 방지할 수 있다. 또한 위와 같이 레이아웃을 설계하는 경우 디자인에 여유가 생기고 이로 인해 공정 마진 및 신호 전달에 효율을 기할 수 있다.
- <91> 도20은 본 발명에 의한 강유전체 메모리의 셀 어레이 블록에 VPP를 공급하는 VPP 공급 회로(700, 800)의 배치도이다. 본 발명에 의한 강유전체 메모리에는 각 셀 어레이 블록(300)에 존재하는 복수개의 VPP 구동회로(800)와 제어회로부(100)의 상하에 존재하는 제1 VPP 펌프회로(700)가 존재한다.
- <92> VPP 구동회로(800)는 게이트 VPP 신호를 발생시키기 위한 제2 VPP 펌프회로(820), 제1 VPP 펌프회로의 출력 레벨을 쉬프트하는 레벨 쉬프터(810), 및 게이트 VPP 신호와 레벨 쉬프터(810)의 출력신호에 의해 제어되어 구동 전압을 제공하는 드라이버(830)로 구성된다.
- <93> 제1 VPP 펌프회로(700)는 레이아웃 사이즈도 크며 상대적으로 고속을 필요로 하지 않는 부분이다. 따라서 전체 레이아웃 면적을 줄이면서 효율적으로 VPP 레벨을 조정하기 위해 중앙부에서 글로벌한 형태로 신호를 제공한다. 이에 반하여 VPP 구동회로(800)는

짧은 펄스폭을 사용하여 고속으로 동작할 필요가 있는 부분이다. 따라서 VPP 구동회로(800)는 셀 어레이 블록에 포함된 각 단위 블록마다 독립적으로 제공된다.

<94> 도21은 본 발명에 의한 워드라인 구동회로를 나타내는 도면이다.

<95> 드라이버(830)회로는 NMOS 트랜지스터(832, 821)로 구성된다. NMOS 트랜지스터(832)의 소스는 접지되고 드레인에서 구동전압이 발생하며, 게이트는 풀다운 제어신호 및 어드레스 디코더의 출력신호의 논리연산 결과에 의하여 제어된다. NMOS 트랜지스터(821)의 게이트에는 제2 VPP 펌프회로(820)에서 제공되는 VPP가 공급되고, 소스에는 어드레스 디코더의 출력신호가 제공된다.

<96> 레벨 쉬프터회로는 NMOS 트랜지스터(831)로 구성된다. NMOS 트랜지스터(831)의 드레인에는 제1 VPP 펌프회로에서 출력된 VPP가 제공되고, 소스는 NMOS 트랜지스터(832)의 드레인과 연결되며, 게이트에는 NMOS 트랜지스터(821)의 드레인이 연결된다. 본 회로의 동작에 대해서는 다음에서 설명한다.

<97> 도22는 본 발명에 의한 워드라인 구동회로의 동작 타이밍도이다. 셀 동작시에 VPP 전압은 워드라인, 플레이트 라인, SBPU, SBSW2(도17 참조) 등에 제공된다. 도면을 참조하여 VPP 전달 방법의 일 예를 설명하면 다음과 같다. T1 구간에서 WLCON 신호는 제2 VPP 펌프회로(820)의 출력으로서 N1 노드(도21 참조)를 VCC 레벨로 만들기 위한 것이다. 즉 NMOS 트랜지스터(821)의 게이트 전압이 VPP로 상승하면 VPP에서 약간 감소한 전압이 N1 노드에 나타난다. 이 값이 VCC가 된다. 이때 NMOS 트랜지스터(821)의 게이트 전압이 다시 VCC가 되므로 NMOS 트랜지스터(821)는 OFF 상태가 되어 N1 노드는 플로팅 상태가 된다.

- <98> T2 구간이 시작할 때 제1 VPP 펌프회로(700)에서 제공되는 구동 VPP 신호가 VPP가 된다. 이 때 N1 노드와 NMOS 트랜지스터(831)의 드레인 사이의 기생 캐패시터에 저장되어 있던 전하로 인하여 N1 노드는 VCC+VPP로 부스팅된다. 또한 NMOS 트랜지스터(831)가 ON 상태가 되므로 워드라인 전압은 VPP가 된다.
- <99> T2 구간 종반의 WLCON 신호의 VPP는 NMOS 트랜지스터(821)를 ON 상태로 하고 N1 노드는 VCC 레벨로 하강한다. 이때 WLCON 신호가 다시 VCC로 하강하므로 NMOS 트랜지스터(821)은 OFF가 되고 N1 노드는 플로팅 상태가 된다. 또한 N1노드의 전압이 VCC가 되어 NMOS 트랜지스터(831)도 OFF가 된다. 따라서 워드라인(WL)이 플로팅 된다. 이때 SBPU 신호가 하이가 되면 서브 비트라인(351)이 하이가 된다(도17, 18 참조). 그런데 워드라인이 플로팅 되어 있는 상태이므로 워드라인(WL)과 서브 비트라인(351) 사이의 기생 캐패시터에 저장되어 있던 전하에 의해 부스팅이 일어난다(T3).
- <100> 위와 같은 방법으로 부스팅된 전압을 셀 어레이 블록에 제공한다.

【발명의 효과】

- <101> 본 발명에 의한 레이아웃을 사용함으로써 고집적 회로에서 데이터버스의 용량부하를 최소로 하여 고속의 FRAM을 구현할 수 있다. 센스앰프의 동작시에 칼럼 어드레스 비트를 사용함으로써 리스토어와 라이트 동작이 용이해진다. 또한 데이터버스부의 연결시에 제2 공유 레이어를 사용함으로써 레이아웃의 증가요소를 제거할 수 있다. VPP를 제공하는 회로를 두 종류로 나누어 각 블록마다 VPP 공급원을 두어 고속의 동작이 가능하도록 하고 상대적으로 용량이 큰 VPP 펌프 회로는 각 셀 어레이 블록의 중간 지점에 배치하여 레이아웃 효율을 증가시킬 수 있다.

【특허청구범위】**【청구항 1】**

칼럼 선택 제어부와 연결된 메인 비트라인, 및 각각 양단에서 상기 메인 비트라인과 연결되며 복수개의 단위 셀이 연결된 복수개의 서브 비트라인으로 비트라인이 계층화된 셀 어레이 블록;

상기 칼럼 선택 제어부와 연결되는 데이터버스부; 및

상기 데이터버스부에 연결된 센스앰프 데이터버스와 데이터 입출력 버퍼의 사이에 연결된 센스앰프 어레이를 포함하는 제어회로부

를 포함하고

상기 복수개의 셀 어레이 블록은 매트릭스 형태로 배치되며, 상기 제어회로부는 상기 메인 비트라인에 평행한 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 데이터버스부는 상기 메인 비트라인에 수직인 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 데이터버스부에 포함된 복수개의 데이터버스 라인은 상기 센스앰프 데이터버스에 포함된 복수개의 상기 센스앰프 데이터버스 라인과 일대일로 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 강유전체 메모리장치는 상기 데이터버스부의 중간부분에 서로 이격되어 연결된 제1 및 제2 스위치 소자를 더 포함하고, 상기 센스앰프 데이터버스에 포함된 복수개의 상기 센스앰프 데이터버스 라인은 상기 제1 및 제2 스위치 소자의 중간영역에서 상기 데이터버스부에 포함된 복수개의 데이터버스 라인과 일대일로 연결되어 상기 제1 및 제2 스위치 소자의 온오프에 따라서 상기 데이터버스부의 좌측 또는 우측과 전기적으로 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 제1 스위치 소자 및 제2 스위치 소자는 트랜스미션 게이트로 구성되며 상기 각 스위치 소자의 온오프는 서로 상보적(complementary)인 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 데이터버스부는 제1 데이터버스부 및 상기 제1 데이터버스부와 차단된 제2 데이터버스부로 구성되고, 상기 센스앰프 데이터버스는 상기 제1 데이터버스부와 연결되는 제1 센스앰프 데이터버스와 상기 제2 데이터버스부와 연결되는 제2 센스앰프 데이터버스로 구성되며, 상기 각각의 센스앰프는 상기 제1 센스앰프 데이터버스에 포함된 데이터버스 라인 또는 상기 제2 센스앰프 데이터버스에 포함된 데이터버스 라인과 선택적으로 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 제1 센스앰프 데이터버스에 포함된 데이터버스 라인과 상기 제2 센스앰프 데이터버스에 포함된 데이터버스 라인은 각각 제1 스위치 소자 및 제2 스위치 소자를 경유하여 상기 센스앰프와 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 제1 및 제2 스위치 소자는 트랜스미션 게이트로 구성되며 상기 각 스위치 소자의 온오프는 서로 상보적(complementary)인 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 8】

제 1 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 센스앰프 어레이는

각각 소정의 개수의 센스앰프로 구성된 복수개의 서브 센스앰프 어레이;

칼럼 어드레스 비트를 입력받아 상기 소정의 서브 센스앰프 어레이에 포함된 센스앰프에만 공통된 제어신호를 제공하는 복수개의 로컬 컨트롤러; 및

상기 센스앰프 어레이에 포함된 모든 센스앰프에 공통된 제어신호를 제공하는 글로벌 컨트롤러

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 9】

제 8 항에 있어서, 상기 센스앰프는

상기 센스앰프 데이터버스라인과 연결된 데이터 라인을 풀업하는 데이터 라인 풀업 제어부;

리드 동작시에는 상기 데이터 라인에 제공된 데이터를 증폭하여 저장하고, 라이트 동작시에는 입출력 버퍼에서 제공된 데이터를 증폭하여 저장하는 증폭부; 및

라이트 동작시에는 상기 증폭부에 저장된 데이터를 상기 데이터 라인에 제공하며, 리드 동작시에는 증폭부에 저장된 데이터를 상기 입출력 버퍼 및 상기 데이터 라인에 제공하는 입출력 제어부

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 10】

제 9 항에 있어서, 상기 증폭부는

상기 데이터 라인의 신호와 상기 레퍼런스 신호를 비교하여 상기 데이터 라인의 신호가 상기 레퍼런스 신호보다 클 때 하이레벨의 출력을 갖는 제1 비교부;

상기 데이터 라인의 신호와 상기 레퍼런스 신호를 비교하되 상기 제1 비교부의 출력과 반대레벨의 출력을 갖는 제2 비교부; 및

상기 제1 비교부의 출력단자와 제1 트랜스미션 게이트를 경유하여 연결된 제1 입력단자 및 상기 제2 비교부의 출력단자와 제2 트랜스미션 게이트를 경유하여 연결된 제2 입력단자를 가지며, 상기 제1 및 제2 입력단자에 제공된 신호를 유지하는 저장부

를 포함하고 상기 제1 비교부, 제2 비교부, 제1 트랜스미션 게이트, 제2 트랜스미션 게이트, 및 저장부는 상기 글로벌 컨트롤러에 의해 제어되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 11】

제 10 항에 있어서, 상기 증폭부는

상기 제1 비교부의 출력단자와 상기 제2 비교부의 출력단자의 사이에 연결된 스위치를 더 포함하고 상기 스위치는 글로벌 컨트롤러에 의해 제어되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 12】

제 10 항에 있어서, 상기 증폭부는

상기 데이터 라인을 풀업하는 경우에 상기 제1 비교부의 출력단자를 풀업하는 PMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 13】

제 10 항에 있어서, 상기 입출력제어부는

상기 입출력 버퍼로부터 입력된 데이터 및 상기 입력된 데이터의 상보값 (complementary value)을 각각 상기 저장부의 제1 및 제2 입력단자에 제공하는 제1 경로 ;

상기 저장부의 제2 입력단자의 값을 출력하는 제2 경로 ;

상기 제2 경로에서 출력된 값을 상기 입출력 버퍼에 제공하는 제3 경로 ; 및

상기 제2 경로에서 출력된 값을 상기 데이터 라인에 제공하는 제4 경로

를 포함하고 상기 제1 경로, 제2 경로, 및 제3 경로는 상기 로컬 컨트롤러에 의해 제어되고 상기 제4 경로는 상기 글로벌 컨트롤러에 의해 제어되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 14】

제 13 항에 있어서,

라이트 모드에서 상기 칼럼 어드레스 비트가 활성화된 경우

상기 제1 경로는 라이트 인에이블 신호가 활성화된 이후 및 상기 입출력 버퍼에 데이터가 제공되기 이전에 활성화되어 상기 라이트 인에이블 신호의 비활성화 직후에 비활성화되고, 상기 제2 경로는 상기 제1 경로와 반대로 활성화 여부가 설정되고, 상기 제3 경로는 비활성화되며, 상기 제4 경로는 상기 제1 경로가 활성화된 시점과 상기 입출력 버퍼에 데이터가 제공된 시점 사이의 소정의 시점에서 활성화 되었다가 상기 제1 경로가 비활성화된 시점에서 소정의 시간이 경과한 후 비활성화되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 15】

제 13 항에 있어서,

라이트 모드에서 상기 칼럼 어드레스 비트가 비활성화된 경우

상기 제1 경로는 비활성화되고, 상기 제2 경로는 활성화되고, 상기 제3 경로는 비활성화되며, 상기 제4 경로는 상기 데이터 라인의 신호가 상기 저장부에 저장된 이후 및 상기 라이트 인에이블 신호가 비활성화되기 이전의 소정의 시점에서 활성화되었다가 상

기 라이트 인에이블 신호가 비활성화된 이후 소정의 시점에서 비활성화되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 16】

제 1 항에 있어서, 상기 셀 어레이 블록은

제 1 제어신호에 의하여 상기 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부; 및

상기 메인 비트라인 풀업 제어부와 상기 칼럼 선택 제어부의 사이에 연결된 셀 어레이

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 17】

제 16 항에 있어서, 상기 셀 어레이는

양극의 전원과 상기 메인 비트라인 사이에 연결되어 제2 제어신호에 의하여 전류의 흐름을 제어하는 메인 비트라인 부하 제어부;

상기 메인 비트라인 풀업 제어부와 상기 칼럼 선택 제어부 사이에 일렬로 배열되며 각각의 양단에서 상기 메인 비트라인과 연결되는 복수개의 서브 셀 블록

을 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 18】

제 16 항에 있어서, 상기 메인 비트라인 풀업 제어부는

게이트에 상기 제1 제어신호가 입력되고 소스가 양의 전원과 연결되며 드레인이 상기 메인 비트라인에 연결된 PMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 19】

제 16 항에 있어서,

상기 칼럼 선택 제어부는 게이트에 상기 칼럼 어드레스 신호가 입력되고 양단에 각각 상기 데이터버스 라인과 상기 메인 비트라인이 연결된 트랜스미션 게이트임을 특징으로 하는 강유전체 메모리 장치.

【청구항 20】

제 16 항에 있어서,

상기 메인 비트라인 부하 제어부는 상기 메인 비트라인마다 하나씩 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 21】

제 17 항에 있어서,

상기 메인 비트라인 부하 제어부는 상기 메인 비트라인마다 복수개가 연결되며 상기 소정의 개수의 서브 셀 블록마다 균일하게 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 22】

제 17 항에 있어서, 상기 메인 비트라인 부하 제어부는

게이트에 상기 제2 제어신호가 입력되고 소스가 양의 전원과 연결되며 드레인이 상기 메인 비트라인과 연결된 PMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 23】

제 17 항에 있어서, 상기 서브 셀 블록은

게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인이 상기 메인 비트라인에 연결된 전류 조절용 제1 NMOS 트랜지스터;

게이트에 제3 제어신호가 연결되고 드레인이 상기 제1 NMOS 트랜지스터의 소스에 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터;

게이트에 제4 제어신호가 연결되고 드레인이 상기 서브 비트라인의 제2 단에 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터;

게이트에 제5 제어신호가 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되고 드레인이 제6 제어신호에 연결되는 제4 NMOS 트랜지스터; 및

게이트에 제7 제어신호가 연결되고 드레인이 상기 메인 비트라인에 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되는 제5 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 24】

제 16 항 내지 제 23 항 중 어느 한 항에 있어서,

상기 칼럼 선택 제어부와 상기 데이터버스부의 연결부분은

소스에 상기 메인 비트라인이 연결되고 드레인에 제1 공유 레이어가 연결된 상기 칼럼 선택 제어부가 존재하는 제1 계층;

상기 제1 공유 레이어와 상기 데이터버스부의 데이터버스 라인을 연결하는 제2 공유 레이어가 존재하는 제2 계층; 및

상기 데이터버스부가 존재하는 제3 계층

을 포함하며

상기 제1 내지 제3 계층은 아래에서 위로 층상구조를 갖도록 형성된 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 25】

제 1 항에 있어서, 상기 강유전체 메모리 장치는

제 1 VPP 펌프회로; 및

각각 상기 제1 VPP 펌프회로에서 VPP를 제공받아 상기 셀 어레이 블록에 구동전압을 제공하는 복수개의 VPP 구동회로

를 더 포함하며

제1 VPP 펌프회로는 상기 제어회로부의 양끝에서 상기 VPP 구동회로와 이웃하도록 배치되며, 상기 복수개의 VPP 구동회로는 상기 제1 VPP 펌프회로에 대칭으로 상기 셀 어레이 블록마다 복수개가 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 26】

제 25 항에 있어서, 상기 VPP 구동회로는

게이트 VPP 신호를 발생시키는 제2 VPP 펌프회로;

게이트에 상기 제2 VPP 펌프회로에서 발생된 게이트 VPP 신호가 입력되고, 소스에 어드레스 디코더의 출력신호가 입력되는 제1 NMOS 트랜지스터;

게이트에 상기 제1 NMOS 트랜지스터의 드레인이 연결되고, 드레인에는 상기 제1 VPP 펌프에서 출력된 VPP가 제공되는 제2 NMOS 트랜지스터; 및

게이트는 풀다운 제어신호 및 어드레스 디코더의 출력신호에 의해 제어되고, 소스는 접지되어 있으며, 드레인은 상기 제2 NMOS 트랜지스터의 소스와 연결되며 상기 드레인의 전압을 구동전압으로서 출력하는 제3 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 27】

(1) 각각

(가) 제1 제어신호에 의하여 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부,

(나) 칼럼 어드레스 신호를 스위칭 신호로 사용하고 제1 전극에 상기 메인 비트라인이 연결된 칼럼 선택 제어부, 및

(다)

(a) 양의 전원과 상기 메인 비트라인 사이에 연결되어 제2 제어신호에 의하여 전류의 흐름을 제어하는 메인 비트라인 부하 제어부, 및

(b) 상기 메인 비트라인 풀업 제어부와 상기 칼럼 선택 제어부 사이에 일렬로 배열되고 각각의 양단에서 상기 메인 비트라인과 연결되며

(i) 각각 워드라인 및 플레이트 라인과 연결된 복수개의 단위 메모리 셀이 공통으로 연결된 서브 비트라인,

(ii) 게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인이 상기 메인 비트라인에 연결된 전류 조절용 제1 NMOS 트랜지스터,

(iii) 게이트에 제3 제어신호가 연결되고 드레인이 상기 제1 NMOS 트랜지스터의 소스에 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터,

(iv) 게이트에 제4 제어신호가 연결되고 드레인이 상기 서브 비트라인의 제2단에 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터,

(v) 게이트에 제5 제어신호가 연결되고 소스가 상기 서브 비트라인의 제2단에 연결되고 드레인이 제6 제어신호에 연결되는 제4 NMOS 트랜지스터, 및

(vi) 게이트에 제7 제어신호가 연결되고 드레인이 상기 메인 비트라인에 연결되고 소스가 상기 서브 비트라인의 제2단에 연결되는 제5 NMOS 트랜지스터를 포함하는 복수개의 서브 셀 블록

을 포함하는 셀 어레이

를 포함하는 복수개의 셀 어레이 블록;

(2) 상기 칼럼 선택 제어부의 제2 전극에 연결된 복수개의 데이터버스 라인을 포함하는 데이터버스부; 및

(3) 상기 데이터버스부와 연결된 센스앰프 데이터버스와 입출력 버퍼의 사이에 연결되어 리드 라이트를 제어하는 센스앰프 어레이를 포함하는 제어회로부

를 포함하고

상기 복수개의 셀 어레이 블록은 매트릭스 형태로 배치되며, 상기 제어회로부는 상기 메인 비트라인에 평행한 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 데이터버스부는 상기 메인 비트라인에 수직인 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 28】

(1) 각각

(가) 제1 제어신호에 의하여 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부,

(나) 칼럼 어드레스 신호를 스위칭 신호로 사용하고 제1 전극에 상기 메인 비트라인이 연결된 칼럼 선택 제어부, 및

(다)

(a) 양의 전원과 상기 메인 비트라인 사이에 연결되어 제2 제어신호에 의하여 전류의 흐름을 제어하는 메인 비트라인 부하 제어부, 및

(b) 상기 메인 비트라인 풀업 제어부와 상기 칼럼 선택 제어부 사이에 일렬로 배열되고 각각의 양단에서 상기 메인 비트라인과 연결되며

(i) 각각 워드라인 및 플레이트 라인과 연결된 복수개의 단위 메모리 셀이 공통으로 연결된 서브 비트라인,

(ii) 게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인이 상기 메인 비트라인에 연결된 전류 조절용 제1 NMOS 트랜지스터,

(iii) 게이트에 제3 제어신호가 연결되고 드레인이 상기 제1 NMOS 트랜지스터의 소스에 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터,

(iv) 게이트에 제4 제어신호가 연결되고 드레인이 상기 서브 비트라인의 제2 단에 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터,

(v) 게이트에 제5 제어신호가 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되고 드레인이 제6 제어신호에 연결되는 제4 NMOS 트랜지스터, 및

(vi) 게이트에 제7 제어신호가 연결되고 드레인이 상기 메인 비트라인에 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되는 제5 NMOS 트랜지스터

를 포함하는 복수개의 서브 셀 블록

을 포함하는 셀 어레이

를 포함하는 복수개의 셀 어레이 블록;

(2) 상기 칼럼 선택 제어부의 제2 전극에 연결된 복수개의 데이터버스 라인을 포함하는 데이터버스부; 및

(3) 각각 상기 데이터버스 라인과 연결된 센스앰프 데이터버스라인과 입출력 버퍼 사이에 연결되어 리드 라이트를 제어하는 복수개의 센스앰프를 포함하는 센스앰프 어레이

를 포함하고

상기 복수개의 셀 어레이 블록은 매트릭스 형태로 배치되며, 상기 제어회로부는 상기 메인 비트라인에 평행한 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 데이터버스부는 상기 메인 비트라인에 수직인 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 29】

제 28 항에 있어서, 상기 센스앰프는

상기 센스앰프 데이터버斯拉인에 연결된 데이터 라인을 풀업하는 데이터 라인 풀업 제어부;

리드 동작시에는 상기 데이터 라인에 제공된 데이터를 증폭하여 저장하고, 라이트 동작시에는 입출력 버퍼에서 제공된 데이터를 증폭하여 저장하는 증폭부; 및

라이트 동작시에는 상기 증폭부에 저장된 데이터를 상기 데이터 라인에 제공하며, 리드 동작시에는 증폭부에 저장된 데이터를 상기 입출력 버퍼 및 상기 데이터 라인에 제공하는 입출력 제어부

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 30】

제 29 항에 있어서, 상기 증폭부는

상기 데이터 라인의 신호와 레퍼런스 신호를 비교하여 상기 데이터 라인의 신호가 상기 레퍼런스 신호보다 클 때 하이레벨의 출력을 갖는 제1 비교부;

상기 데이터 라인의 신호와 상기 레퍼런스 신호를 비교하되 상기 제1 비교부의 출력과 반대레벨의 출력을 갖는 제2 비교부; 및

상기 제1 비교부의 출력단자와 제1 트랜스미션 게이트를 경유하여 연결된 제1 입력단자 및 상기 제2 비교부의 출력단자와 제2 트랜스미션 게이트를 경유하여 연결된 제2 입력단자를 가지며, 상기 제1 및 제2 입력단자에 제공된 신호를 유지하는 저장부

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 31】

제 30 항에 있어서, 상기 증폭부는

상기 제1 비교부의 출력단자와 상기 제2 비교부의 출력단자의 사이에 연결된 스위치를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 32】

제 30 항에 있어서, 상기 증폭부는

상기 데이터 라인을 풀업하는 경우에 상기 제1 비교부의 출력단자를 풀업하는 PMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 33】

제 29 항에 있어서, 상기 입출력 제어부는

상기 입출력 버퍼로부터 입력된 데이터 및 상기 입력된 데이터의 상보값 (complementary value)을 각각 상기 저장부의 제1 및 제2 입력단자에 제공하는 제1 경로 ;

상기 저장부의 제2 입력단자의 값을 출력하는 제2 경로 ;

상기 제2 경로에서 출력된 값을 상기 데이터 입출력 버퍼에 제공하는 제3 경로 ;

및

상기 제2 경로에서 출력된 값을 상기 데이터 라인에 제공하는 제4 경로

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 34】

(1) 각각

(가) 제1 제어신호에 의하여 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부,

(나) 칼럼 어드레스 신호를 스위칭 신호로 사용하고 제1 전극에 상기 메인 비트라인이 연결된 칼럼 선택 제어부, 및

(다)

(a) 양의 전원과 상기 메인 비트라인 사이에 연결되어 제2 제어신호에 의하여 전류의 흐름을 제어하는 메인 비트라인 부하 제어부, 및

(b) 상기 메인 비트라인 풀업 제어부와 상기 칼럼 선택 제어부 사이에 일렬로 배열되고 각각의 양단에서 상기 메인 비트라인과 연결되며

(i) 각각 워드라인 및 플레이트 라인과 연결된 복수개의 단위 메모리 셀이 공통으로 연결된 서브 비트라인,

(ii) 게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인이 상기 메인 비트라인에 연결된 전류 조절용 제1 NMOS 트랜지스터,

(iii) 게이트에 제3 제어신호가 연결되고 드레인이 상기 제1 NMOS 트랜지스터의 소스에 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터,

(iv) 게이트에 제4 제어신호가 연결되고 드레인이 상기 서브 비트라인의 제2 단에 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터,

(v) 게이트에 제5 제어신호가 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되고 드레인이 제6 제어신호에 연결되는 제4 NMOS 트랜지스터, 및

(vi) 게이트에 제7 제어신호가 연결되고 드레인이 상기 메인 비트라인에 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되는 제5 NMOS 트랜지스터

를 포함하는 복수개의 서브 셀 블록

을 포함하는 셀 어레이

를 포함하는 복수개의 셀 어레이 블록;

(2) 각각 상기 칼럼 선택 제어부의 제2 전극에 연결된 복수개의 데이터버스 라인을 포함하는 데이터버스부;

(3) 상기 데이터버스부와 연결된 센스앰프 데이터버스와 입출력 버퍼 사이에 연결되어 리드 라이트를 제어하는 센스앰프 어레이를 포함하는 제어회로부;

(4) 제1 VPP 펌프 회로; 및

(5) 각각

(가) 게이트 VPP 신호를 발생시키는 제2 VPP 펌프회로,

(나) 게이트에 상기 제2 VPP 펌프회로에서 발생된 게이트 VPP 신호가 입력되고 소스에 어드레스 디코더의 출력신호가 입력되는 제1 NMOS 트랜지스터,

(다) 게이트에 상기 제1 NMOS 트랜지스터의 드레인이 연결되고, 드레인에는 상기 제1 VPP 펌프에서 출력된 VPP가 제공되는 제2 NMOS 트랜지스터, 및

(라) 게이트는 풀다운 제어신호 및 어드레스 디코더의 출력신호에 의해 제어되고 소스는 접지되어 있고 드레인은 상기 제2 NMOS 트랜지스터의 소스와 연결되며 상기 드레인의 전압을 구동전압으로서 출력하는 제3 NMOS 트랜지스터

를 포함하는

복수개의 VPP 구동회로

를 포함하고

상기 복수개의 셀 어레이 블록은 매트릭스 형태로 배치되고, 상기 제어회로부는 상기 메인 비트라인에 평행한 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 데이터버스부는 상기 메인 비트라인에 수직인 길이 방향으로 상기 셀 어레이 블록들의 대칭선상에 배치되고, 상기 제1 VPP 펌프 회로는 상기 제어회로부의 양단에 배치되며, 상기 복수개의 VPP 구동회로는 상기 제1 VPP 펌프 회로에 대칭적으로 상기 셀 어레이 블록마다 복수개가 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 35】

(1) 데이터 라인을 풀업하는 데이터 라인 풀업제어부;

(2)

(가) 상기 데이터 라인의 신호와 레퍼런스 신호를 비교하여 상기 데이터 라인의 신호가 상기 레퍼런스 신호보다 클 때 하이레벨의 출력을 갖는 제1 비교부,

(나) 상기 데이터 라인의 신호와 상기 레퍼런스 신호를 비교하되 상기 제1 비교부의 출력과 반대레벨의 출력을 갖는 제2 비교부, 및

(다) 상기 제1 비교부의 출력단자와 제1 트랜스미션 게이트를 경유하여 연결된 제1 입력단자 및 상기 제2 비교부의 출력단자와 제2 트랜스미션 게이트를 경유하여 연결된 제2 입력단자를 가지며, 상기 제1 및 제2 입력단자에 제공된 신호를 유지하는 저장부를 포함하는 증폭부; 및

(3)

(가) 상기 입출력 버퍼로부터 입력된 데이터 및 상기 입력된 데이터의 상보값 (complementary value)을 각각 상기 저장부의 제1 및 제2 입력단자에 제공하는 제1 경로

(나) 상기 저장부의 제2 입력단자의 값을 출력하는 제2 경로,

(다) 상기 제2 경로에서 출력된 값을 상기 데이터 입출력 버퍼에 제공하는 제3 경로, 및

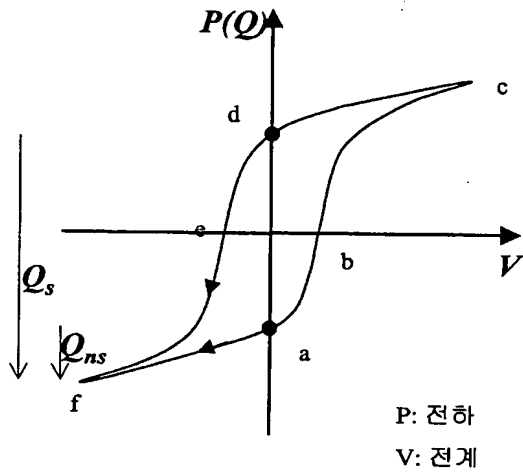
(라) 상기 제2 경로에서 출력된 값을 상기 데이터 라인에 제공하는 제4 경로

를 포함하는 입출력 제어부

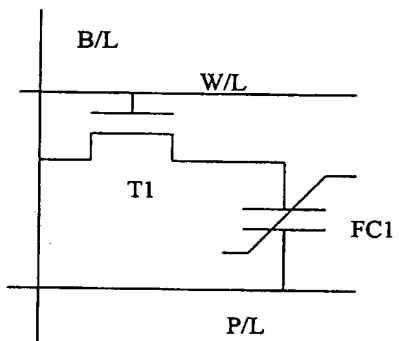
를 포함하는 센스앰프를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【도면】

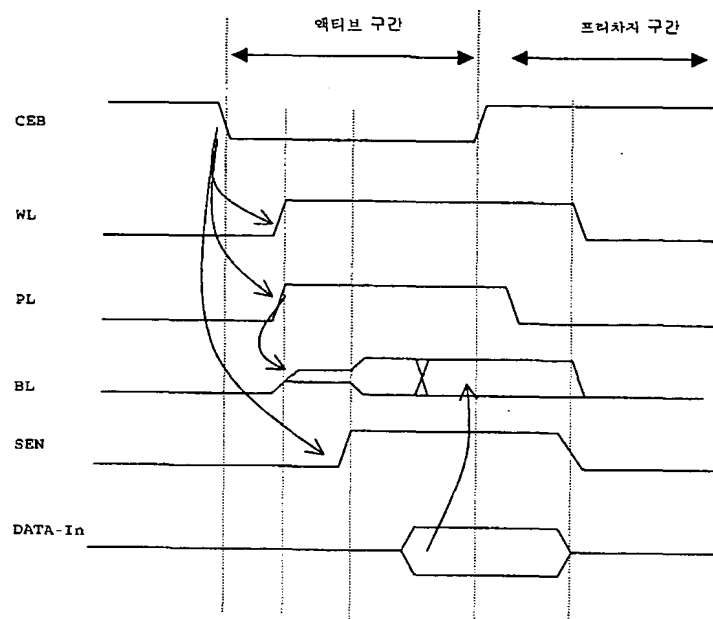
【도 1】



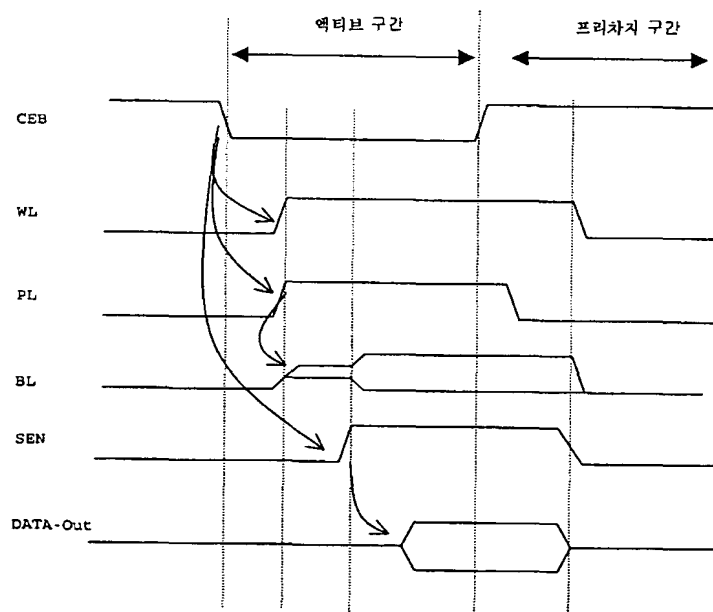
【도 2】



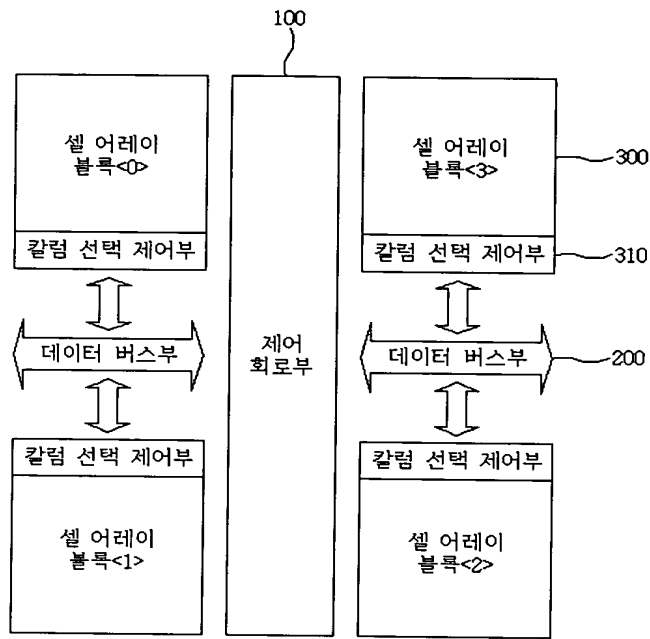
【도 3a】



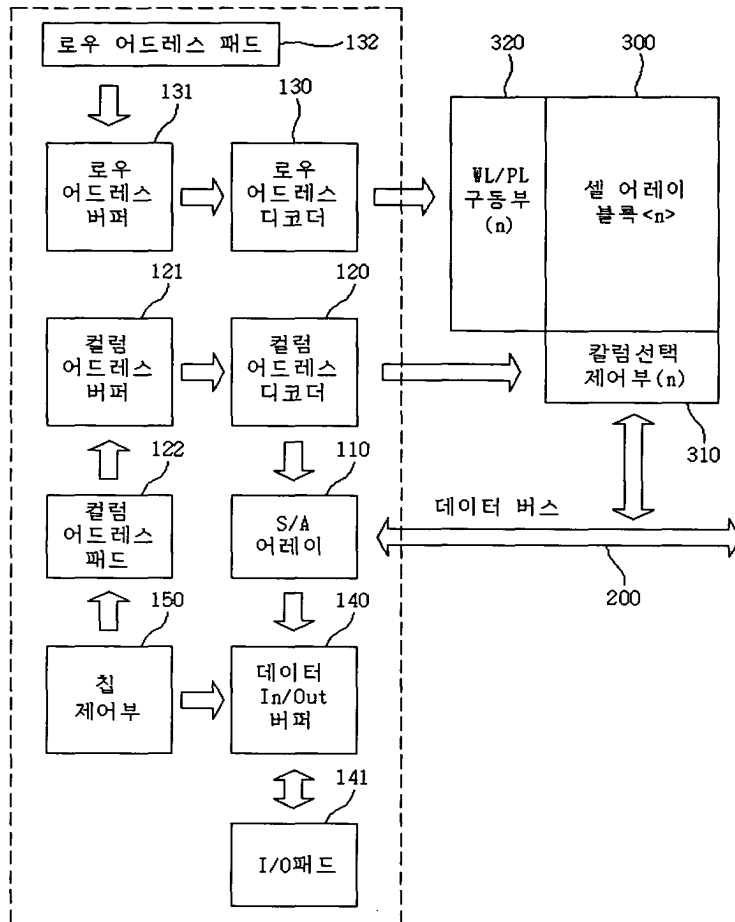
【도 3b】



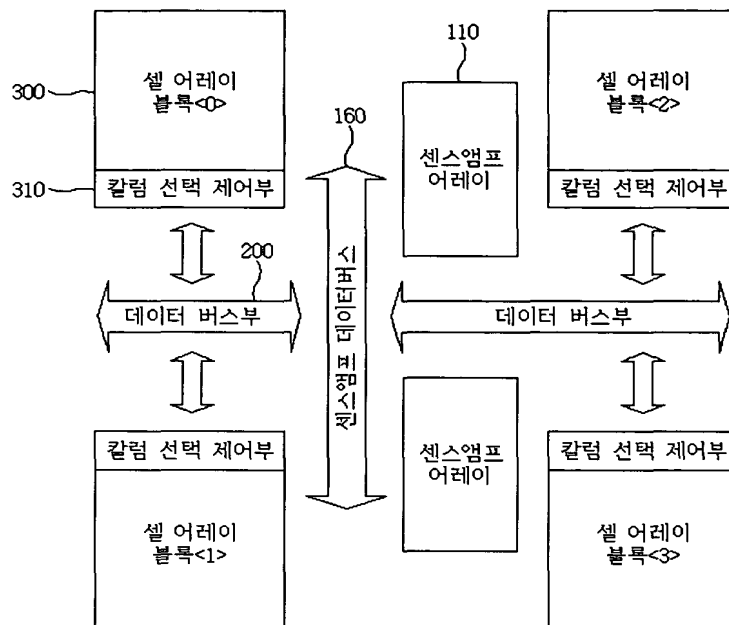
【도 4】



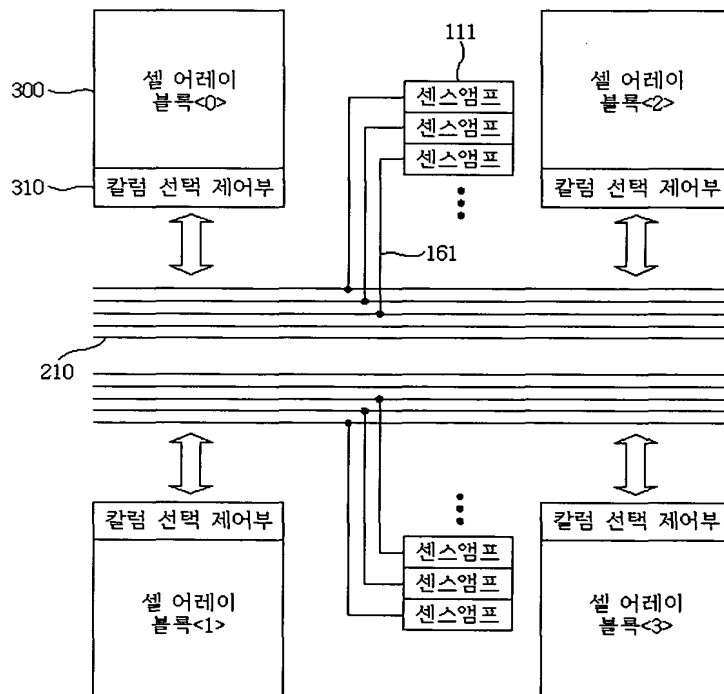
【도 5】



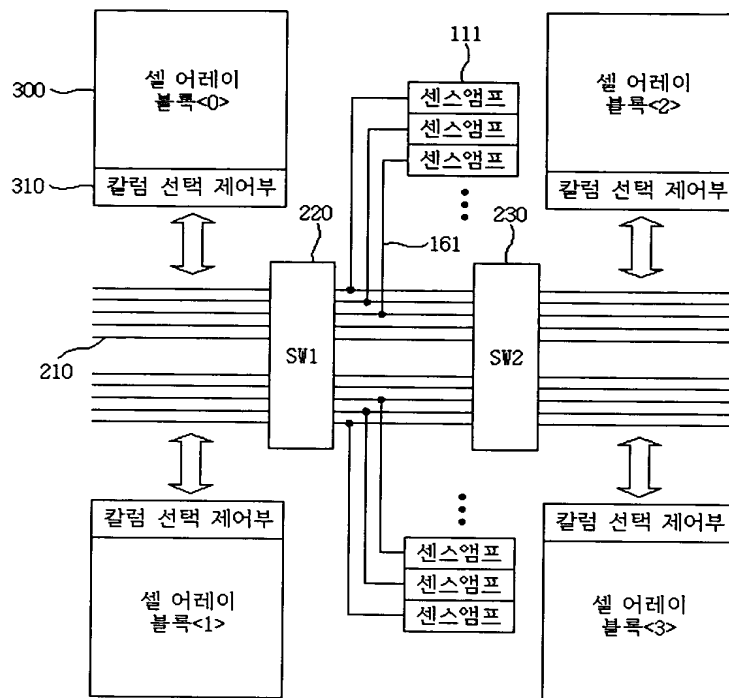
【도 6】



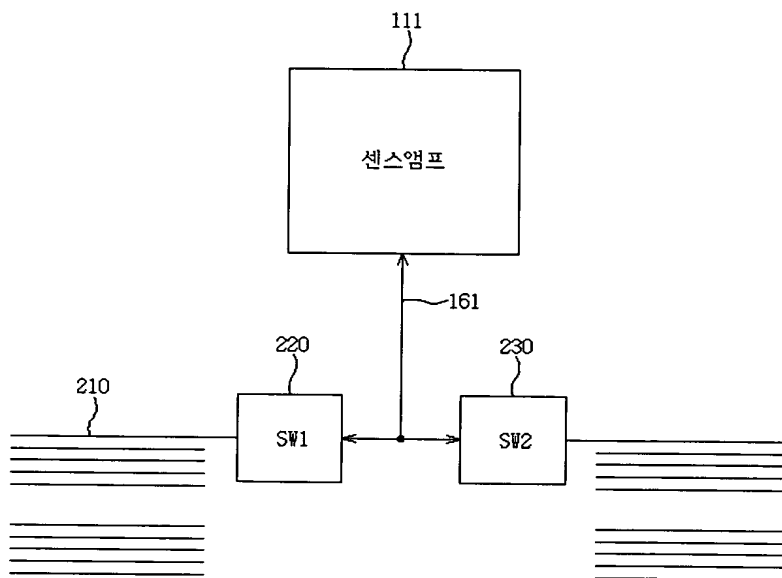
【도 7】



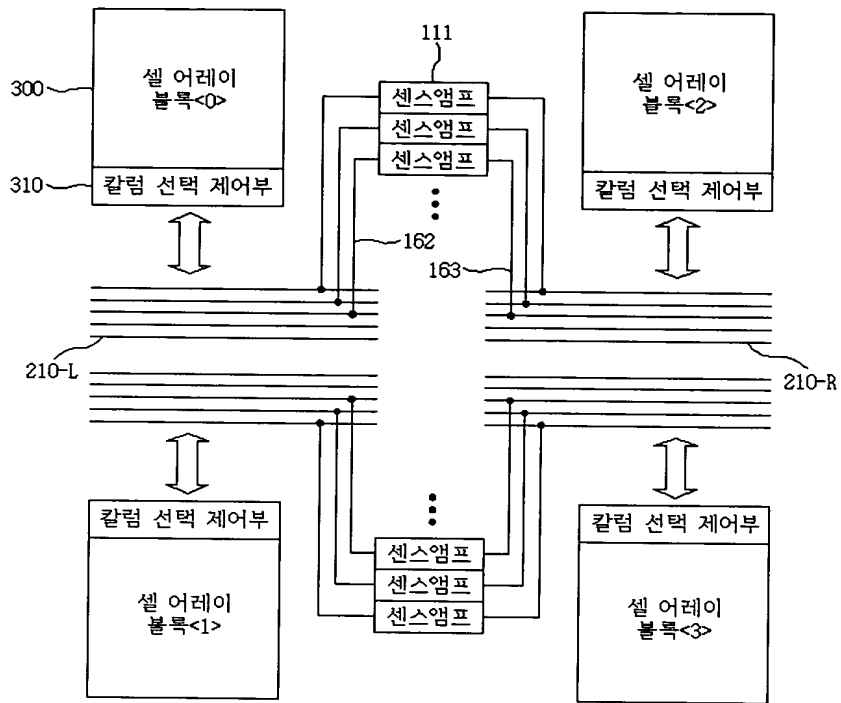
【도 8a】



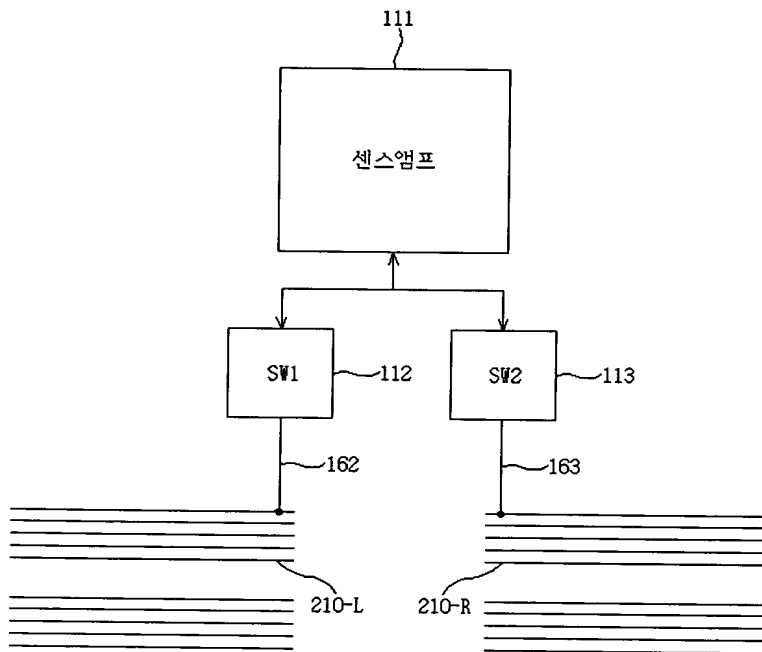
【도 8b】



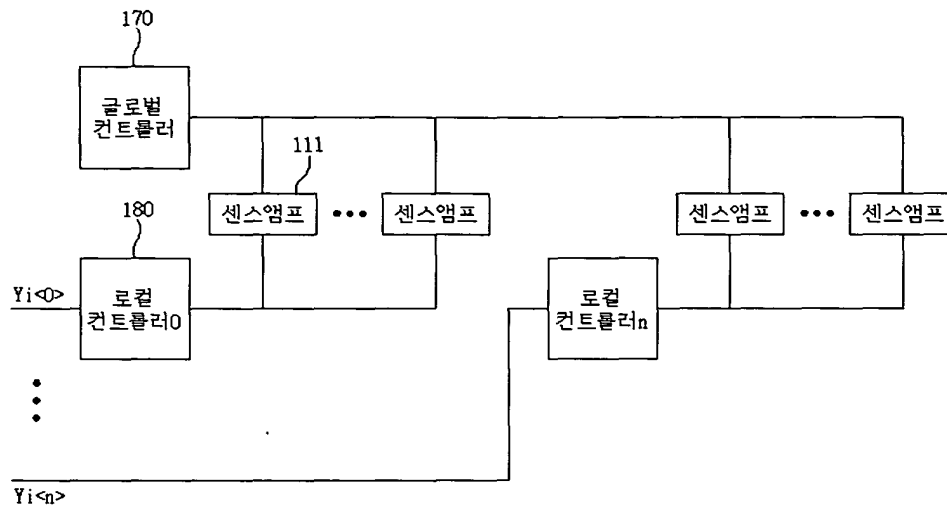
【도 9a】



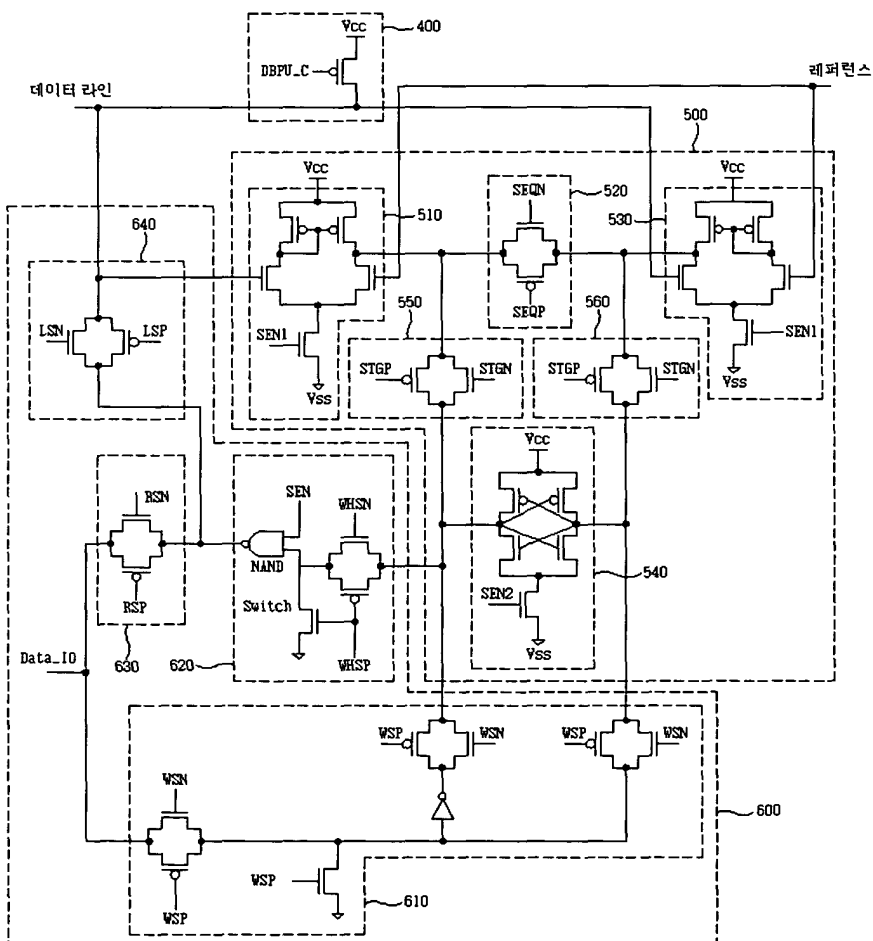
【도 9b】



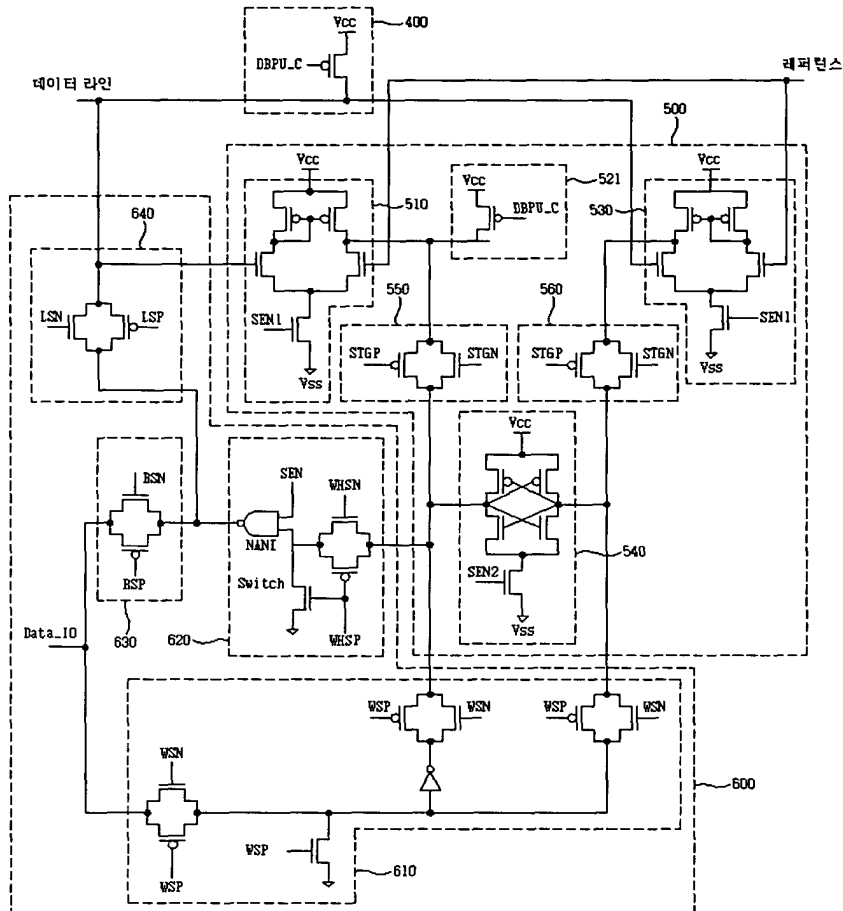
【도 10】



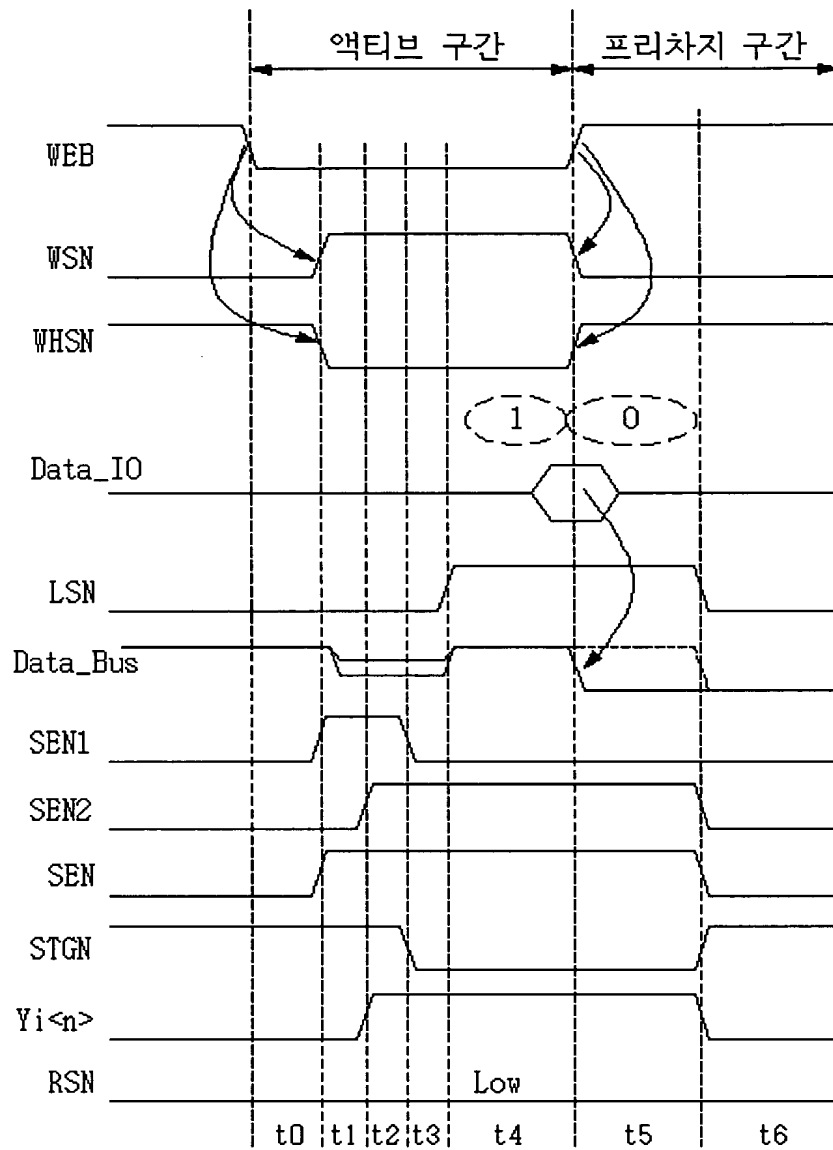
【도 11a】



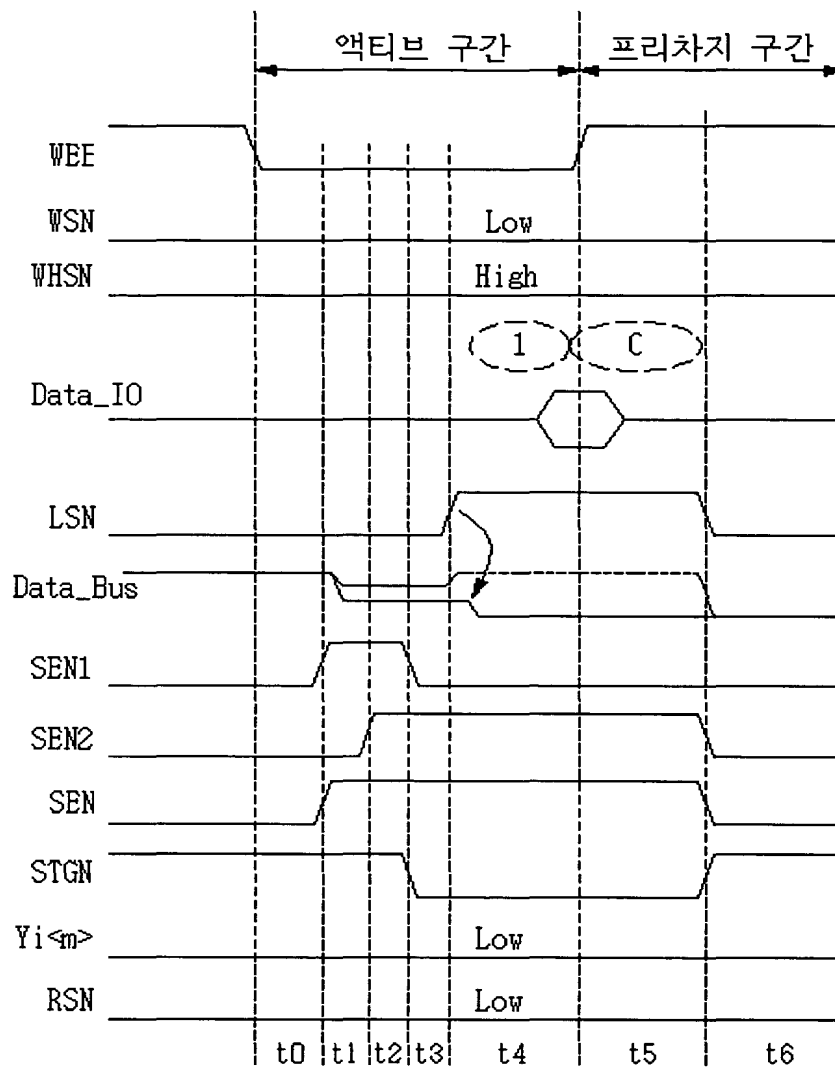
【도 11b】



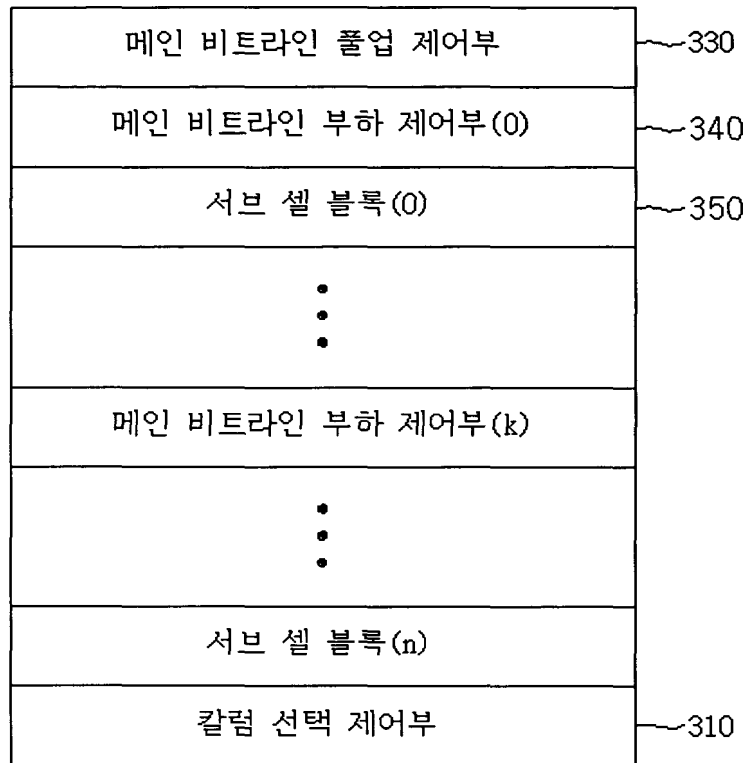
【도 12】



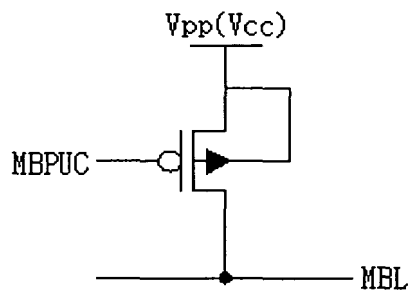
【도 13】



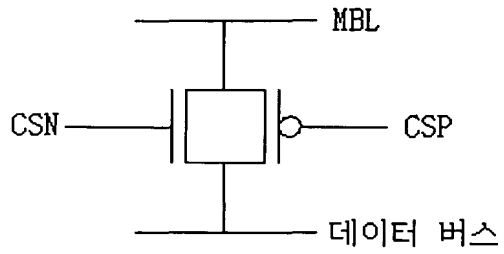
【도 14】



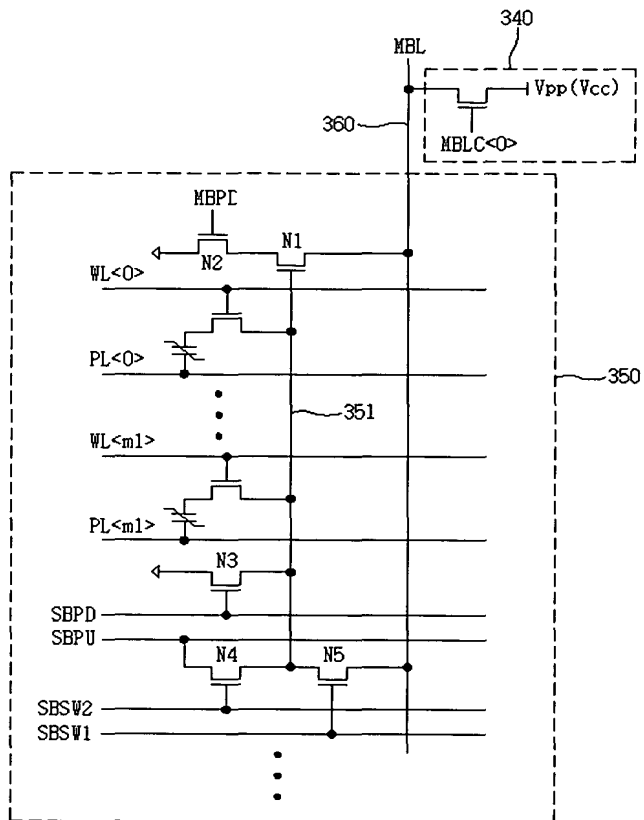
【도 15】



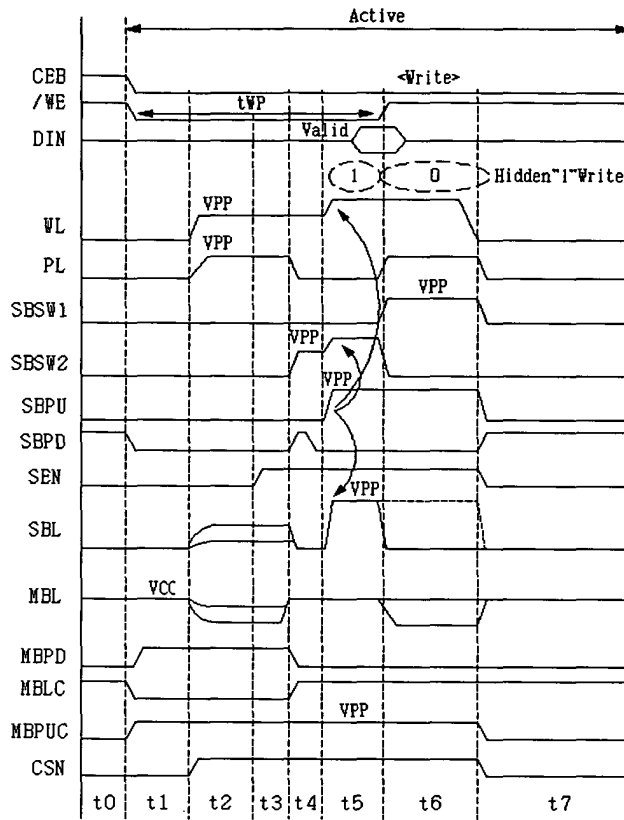
【도 16】



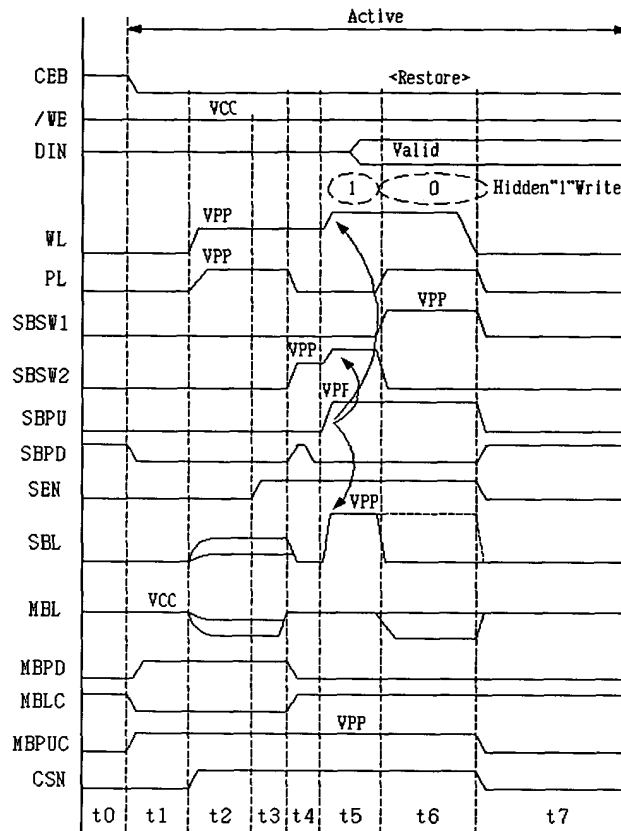
【도 17】



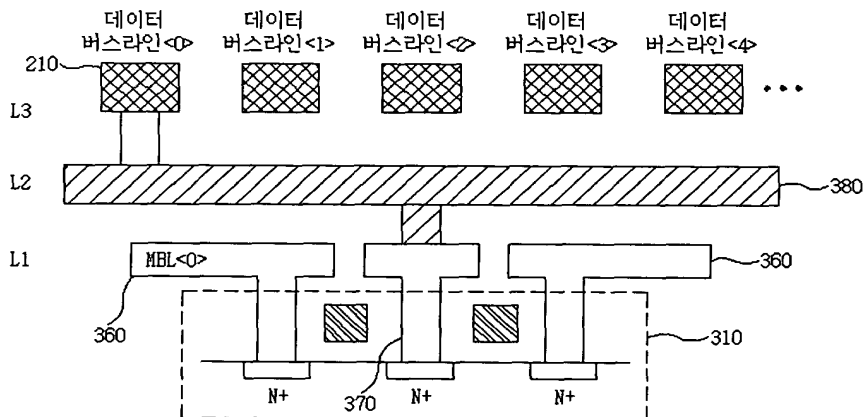
【도 18a】



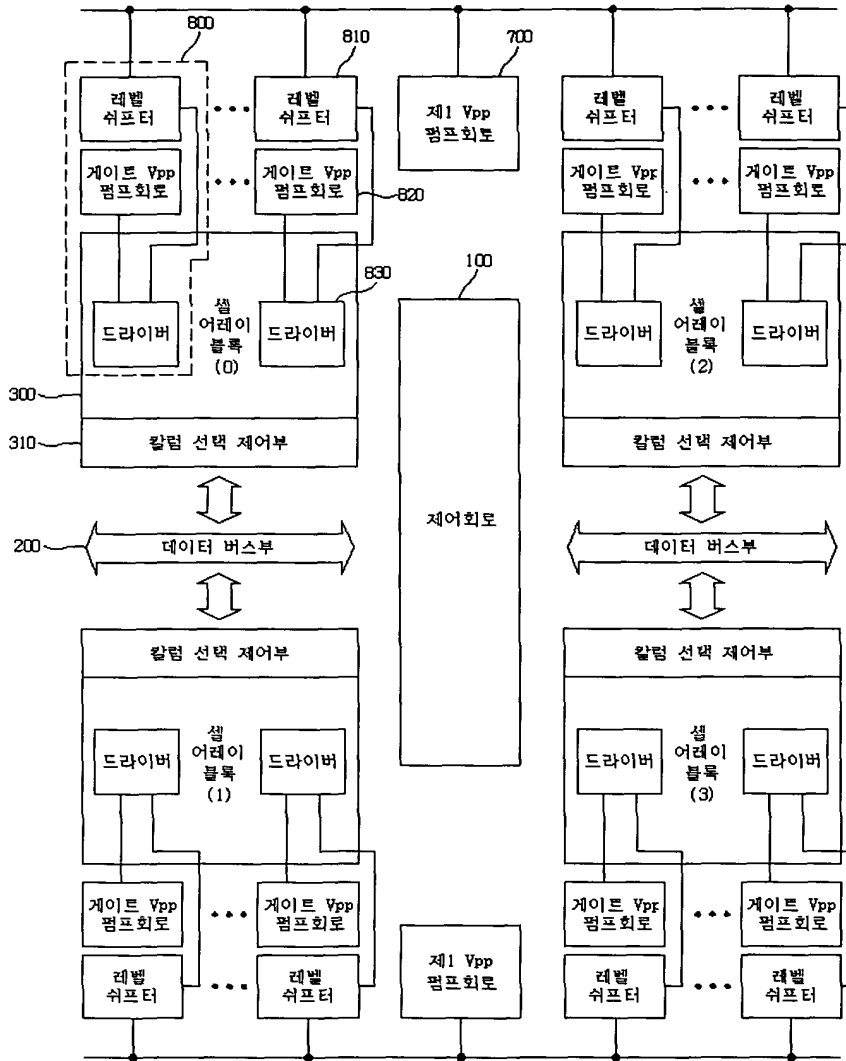
【도 18b】



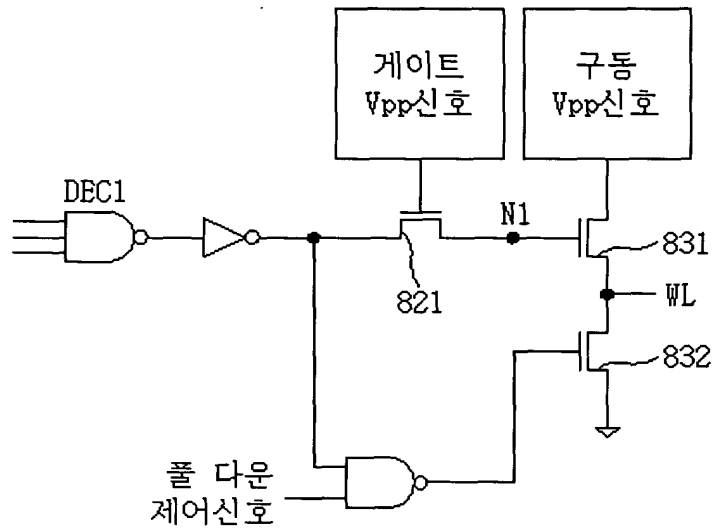
【도 19】



【도 20】



【도 21】



【도 22】

